

**UNIVERSITI MALAYSIA PERLIS**

Peperiksaan Akhir Semester Kedua  
Sidang Akademik 2018/2019

Mac 2019

**DKT217 – Computer System  
[Sistem Komputer]**

Masa: 3 Jam

---

Please make sure that this question paper has **SIXTEEN (16)** printed pages including the front page before you start the examination.

*[Sila pastikan kertas soalan ini mengandungi **ENAMBELAS (16)** muka surat yang bercetak termasuk muka hadapan sebelum anda memulakan peperiksaan ini.]*

This question paper has **FOUR (4)** questions in **PART A** and **TWO (2)** questions in **PART B**. Answer **ALL** questions from **PART A** and **ONE (1)** question from **PART B**. Each question will contribute **TWENTY (20)** marks.

*[Kertas soalan ini mengandungi **EMPAT (4)** soalan dalam **BAHAGIAN A** dan **DUA (2)** soalan dalam **BAHAGIAN B**. Jawab **SEMUA** soalan dari **BAHAGIAN A** dan **SATU (1)** soalan dari **BAHAGIAN B**. Setiap soalan akan menyumbang **DUA PULUH (20)** markah.]*

SULIT

- 2 -

(DKT217)

**PART A : Answer ALL questions**  
*[BAHAGIAN A : Jawab SEMUA soalan]*

**Question 1**  
*[Soalan 1]*

- (a) Explain the definition of "Computer Architecture" and "Computer Organization"  
*[Jelaskan maksud "Senibina Komputer" dan "Organisasi Komputer"]*

*perbezaan  
struktur dan organisasi  
komputer*

[4 Marks / Markah]

- (b) Using block diagrams, show the differences between Harvard Architecture and Von Neumann Architecture and explain the possibility to operate through pipelining technique between the two architectures.

*[Dengan menggunakan gambarajah blok, tunjukkan perbezaan di antara Senibina Harvard dan Senibina Von Neumann serta nyatakan kebolehpayaan untuk beroperasi menerusi teknik 'pipeline' di antara kedua-dua senibina.]*

[6 Marks / Markah]

- (c) Addressing modes are types of ways data can be fetched or made available within a processor's instruction set architecture

- (i) Give and explain FIVE (5) types of addressing modes in relative with the computer's instruction set architecture.

*[Nyatakan dan huraikan LIMA (5) jenis mod pengalamatan yang berkaitan dengan senibina set arahan sesebuah komputer]*

[5 Marks / Markah]

- (ii) Show block diagrams to differentiate the types of access method for the addressing modes as mentioned in Question 1 (c) (i).

*[Tunjukkan rajah-rajah blok untuk membezakan jenis-jenis kaedah capaian untuk mod-mod pengalamatan sepertimana yang telah diuraikan dalam Soalan 1 (c) (i).]*

[5 Marks / Markah]

SULIT

~~200MHz = 1C x CPI x C => C = 200M / 2.15~~

- 3 -

(DKT217)

~~200M = 1 x 2.15 x C = 0.09 x 10^9~~

Question 2  
[Soalan 2]

(a) Table 1 show the instruction frequencies for a Benchmark B processor, as well as the number of cycles for the different classes of instructions. Assume that this processor only executes one instruction at a time and runs at a clock speed of 200MHz.

[Jadual 1 menunjukkan kekerapan arahan bagi sesebuah pemproses Benchmark B beserta jumlah kitaran bagi setiap jenis arahan. Andaikan bahawa pemproses ini melaksanakan satu arahan pada satu masa dan beroperasi pada kelajuan 200MHz]

MIPS =  $\frac{200M}{CPI \times 10^6}$

Table 1  
[Jadual 1]

Instruction type [Jenis Arahan]	Frequency [Kekerapan]	Cycles [Kitaran]
Loads & Stores	35%	4
Arithmetic instructions	40%	5
All others	25%	3

1  
1.4  
2.04  
0.75 . 1.5  
2.15

1  
1.4  
4.0  
1.5  
6.9

1  
clock cycle

clock rate  
CPI x 10^6

(i) Calculate the average Cycles Per Instructions (CPI) for Benchmark B. [Tentukan purata CPI untuk Banchmark B] = 2.15 [1 Marks / Markah]

(ii) Calculate the average millions of instructions per second (MIPS) speed for Benchmark B. [Tentukan purata kelajuan MIPS untuk Benchmark B] =  $3.03 \times 10^{-3}$  = 93.023 [1 Marks / Markah]

(iii) If the number of registers are doubled, then the compiler will generate code that requires only half the number of Loads & Stores. Calculate the new CPI for Benchmark B. [Sekiranya jumlah daftar menjadi dua kali ganda, kod yang terhasil dari kompilasi hanya memerlukan separuh kekerapan Load dan Store. Tentukan CPI baru untuk Benchmark B] [4 Marks / Markah]

(iv) Assuming the total execution time for Benchmark B is 11 seconds, if the number of registers were doubled as in (iii), the cycle time must be increased by 20%. Calculate the new clock speed be (in MHz). [Dengan menganggap masa pelaksanaan menyeluruh program tersebut selama 11 saat, jika jumlah daftar digandakan seperti dalam (iii), kitaran masa Benchmark B akan meningkat sebanyak 20%. Tentukan kelajuan baru (dalam MHz).] [2 Marks / Markah]

b) Consider a hypothetical machine which has the instructions (opcodes) shown in Table 2 using the instruction format shown in Figure 1:

[Pertimbangkan sebuah mesin hipotesis yang mempunyai kod suruhan seperti dalam Jadual 2 serta menggunakan format suruhan seperti dalam Rajah 1:]

Table 2  
[Jadual 2]

Opecode [Opkod]	Operation [Operasi]
1001	Load accumulator (AC) from memory <i>Muatkan AC dari ingatan</i>
1010	Load accumulator (AC) from I/O <i>Muatkan AC dari peranti keluaran/masukan</i>
1011	Add accumulator (AC) with memory content <i>Tambah AC dengan nombor dari ingatan</i>
1100	Add accumulator (AC) with I/O content <i>Tambah AC dengan nombor dari peranti keluaran/masukan</i>
1101	Store accumulator (AC) into memory <i>Simpan AC ke dalam ingatan</i>
1110	Store accumulator (AC) into I/O <i>Simpan AC ke dalam peranti keluaran/masukan</i>

(MSB)

(LSB)

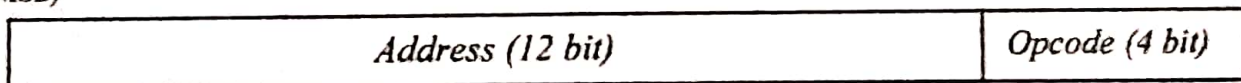


Figure 1  
[Rajah 1]

If a partial program of a FETCH-EXECUTE cycle is given as follow,  
[Sekiranya terdapat sepotong program kitaran AMBIL-LAKSANA seperti berikut :]

- OP 1 : Load AC from address 905H, assume content is 0AC3H.  
[Memuatkan AC daripada alamat 905H, anggapan nilai kandungan adalah 0AC3H]
- OP 2 : Add AC with the content at address 568H, assume content is 00AEH.  
[Tambah AC dengan nombor di alamat 568H, anggapan nilai kandungan adalah 00AEH]
- OP 3 : Store AC into memory 906H  
[Simpan AC ke ingatan 906H]

- (i) Determine the FETCH cycle's hexadecimal code instructions for each of the operations as stated above.  
[Tentukan kod arahan hexadecimal bagi pusingan AMBIL bagi setiap operasi yang dinyatakan di atas.]

[6 Marks / Markah]

- (ii) Create the EXECUTE cycle's hexadecimal code instructions for each of the operations as stated above.  
*[Tentukan kod arahan hexadecimal bagi pusingan AMBIL bagi setiap operasi yang dinyatakan di atas.]*

[6 Marks / Markah]

Use APPENDIX 1 to allocate all the appropriate data in this FETCH-EXECUTE cycle.  
*[Gunakan LAMPIRAN 1 untuk meletakkan kesemua data-data yang berkenaan dalam pusingan AMBIL-LAKSANA ini.]*

## Question 3

[Soalan 3]

- (a) Table 3 below lists the major types of semiconductor memory and its characteristics.  
[Jadual 3 di bawah menyenarai jenis-jenis ingatan utama berserta ciri-cirinya.]

Table 3

[Jadual 3]

Memory Type	Category	Erasure type and level	Write Mechanism	Volatility
Random-access memory (RAM)				
Read-only memory (ROM)				
Programmable ROM (PROM)				
Erasable PROM (EPROM)				
Electrically-erasable PROM (EEPROM)				
Flash memory				

Using APPENDIX 2, answer the following questions.

[Dengan menggunakan LAMPIRAN 2, jawab soalan-soalan berikut.]

- (i) Identify the category type for each of the listed memories.  
[Kenalpasti jenis kategori bagi setiap peranti ingatan yang disenaraikan.]  
[2.5 Marks / Markah]
- (ii) Identify the erasure type for each of the listed memories.  
[Kenalpasti jenis pemadaman bagi setiap peranti ingatan yang disenaraikan.]  
[2.5 Marks / Markah]
- (iii) Identify the write mechanism for each of the listed memories.  
[Kenalpasti mekanisme tulis bagi setiap peranti ingatan yang disenaraikan.]  
[2.5 Marks / Markah]
- (iv) Identify the volatility for each of the listed memories.  
[Kenalpasti tahap kekal bagi setiap peranti ingatan yang disenaraikan.]  
[2.5 Marks / Markah]

SULIT

(DKT217)

2E7 16

(b) Suppose an 11-bit data input word being stored into memory is  $2E7_{16}$ . Using the Hamming Algorithm, determine:  
 [Andaikan data masukan 11-bit perkataan sedang disimpan ke ingatan mempunyai nilai  $2E7_{16}$ . Dengan menggunakan Algoritma Hamming, tentukan]

- (i) the check bits value to be written into the memory with the data word.  
 [Nilai bit-bit semak yang disimpan ke ingatan bersama data perkataan.]  
 [6 Marks / Markah]
- (ii) the syndrome and also the data retrieved from the memory if the check bits generated was  $1110_2$ .  
 [sindrom dan data yang diambil dari ingatan, jika bit-bit semak yang terjana adalah  $1110_2$ .]  
 [4 Marks / Markah]

$m = 11$

$k = 7$

$2^k - 1 \geq m + k$

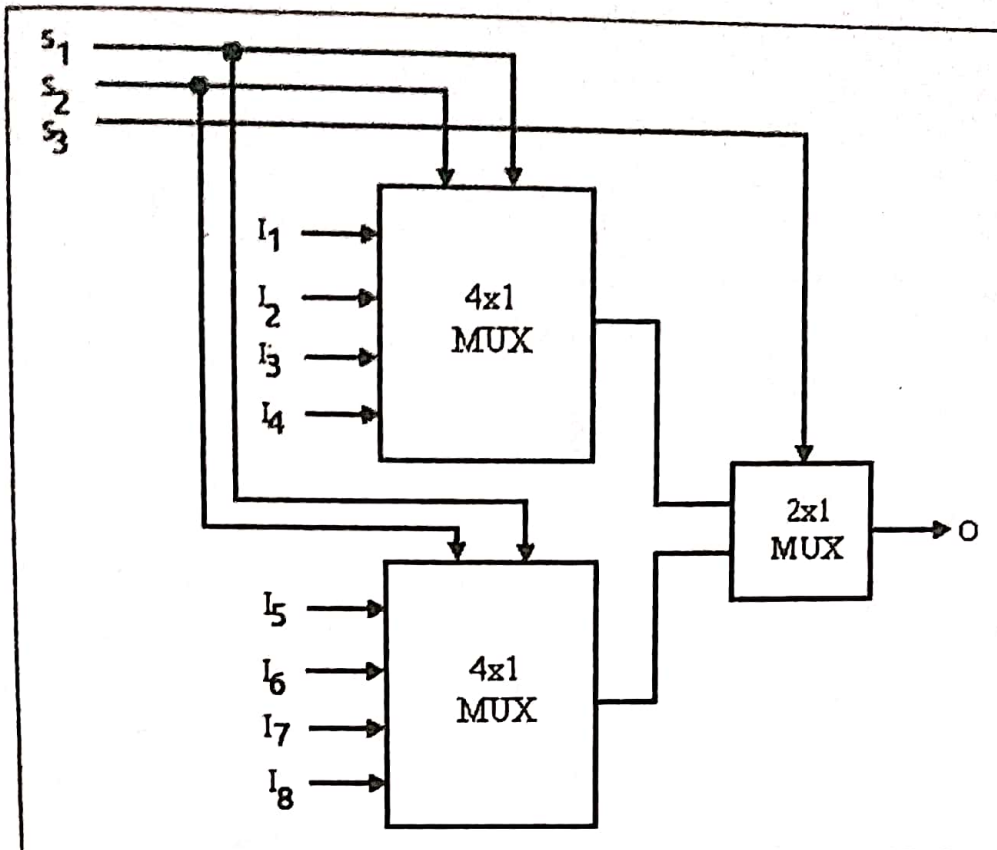
$2^4 - 1 \geq 11 + 4$



Carikan A

(Sindrom 0)

**Question 4**  
[Soalan 4]



**Figure 2**  
[Rajah 2]

- (a) The VHDL structural modelling technique is the design methodology to combine existing projects into new projects. **Figure 2** shows an example where two kinds of multiplexers (mux) can be joined together to create an 8 to 1 multiplexer.

[Teknik model berstruktur VHDL merupakan metodologi rekaan VHDL untuk menggabungkan projek-projek yang sedia ada ke dalam projek baru. **Rajah 2** menunjukkan contoh di mana dua jenis pemultipleks (mux) boleh digabungkan menjadi pemultipleks 8 ke 1.]

- (i) Write the instantiation declaration for the multiplexers as given in Figure 2 for the VHDL architecture body.

[Tuliskan kenyataan pengisytiharan bagi pemultipleks-pemultipleks sepertimana dalam **Rajah 2** untuk kegunaan dalam ruangan "architecture VHDL".]

[3 Marks / Markah]

- (ii) Write the VHDL architecture program that represent the multiplexers as declared in Question 4 (a)(i) being connected structurally to become an operational 8 to 1 multiplexer.

[Tuliskan aturcara "architecture VHDL" yang menggunakan pemultipleks sepertimana diisytiharkan dalam Soalan 4 (a)(i) disambung secara berstruktur untuk beroperasi sebagai satu pemultipleks 8 ke 1.]

[5 Marks / Markah]



(b) Consider a memory system with a 2GB main memory that uses the address at the byte level and a cache that uses a 64 byte line size. If the cache size is 64MB, determine :  
 [Pertimbangkan sistem ingatan yang terdiri daripada ingatan utama 4GB yang beralamat untuk peras bait dan sebuah ingatan cache yang menggunakan muatan garisan 64 bait. Jika saiz cache adalah 16MB, tentukan :]

(i) The number of addressable units of this memory system.  
 [Bilangan unit alamat yang boleh dialamatkan untuk sistem ingatan ini.]  
 [1 Marks / Markah]

(ii) The number of blocks for the main memory and the cache when using  
 [Jumlah blok dalam ingatan utama dan juga cache sekiranya digunakan]

a. Direct mapping  
 [Teknik pemetaan terus.]  $\rightarrow$  tag line word [3 Marks / Markah]

b. Full associative mapping  
 [Teknik pemetaan menyeluruh.]  $\leftarrow$  tag word [1 Marks / Markah]

c. Set associative mapping with 4-way  
 [Teknik pemetaan separa menyeluruh dengan 4-laluan.]  $\leftarrow$  tag word [3 Marks / Markah]

(iii) Draw the memory address format for all 3 cache mapping technique.  
 [Lakarkan format pengalamanan memori untuk ketiga-tiga kaedah pemetaan cache.]  
 [4 Marks / Markah]

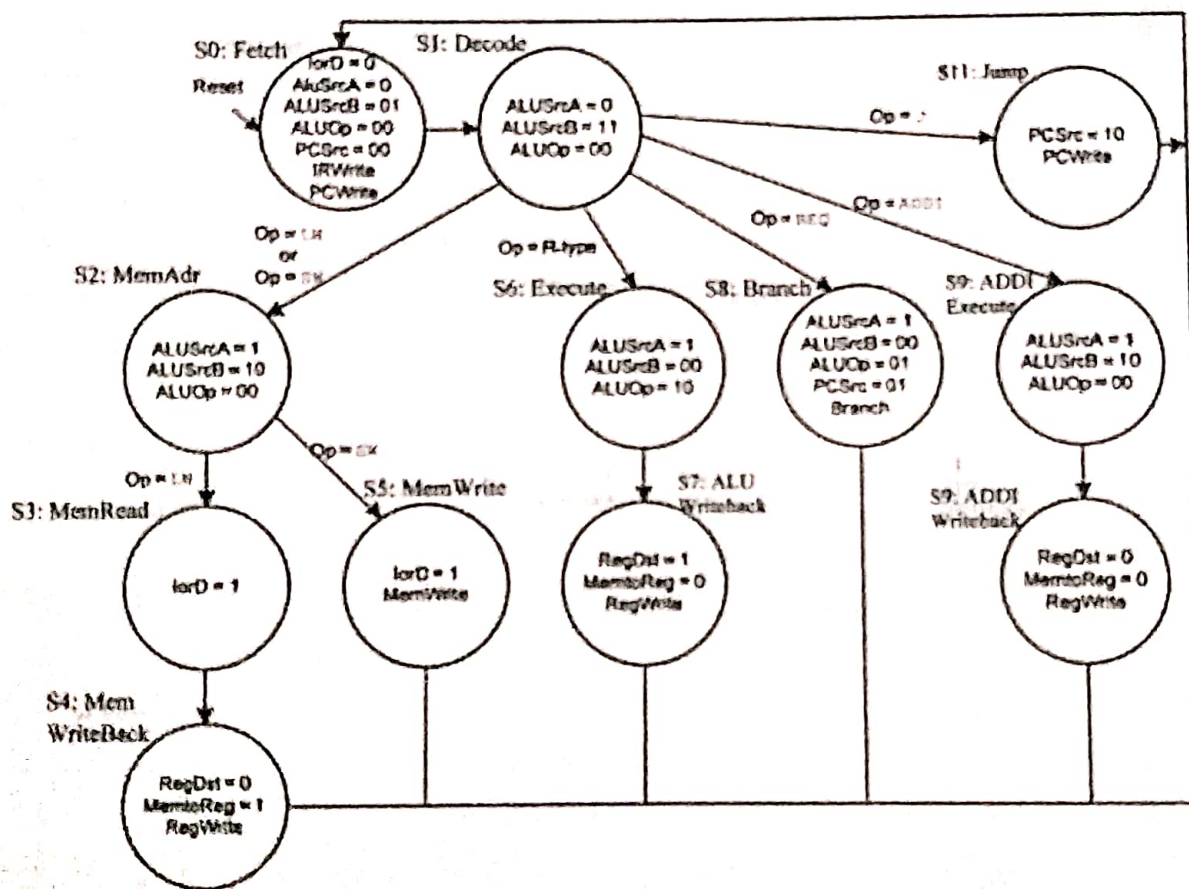
$2^1 \times 2^{20}$   
 $3^1$  address bits

**PART B : Answer ONE (1) question only**  
 [BAHAGIAN B : Jawab SATU (1) soalan sahaja]

**Question 5**  
 [Soalan 5]

Figure 3 below show a state machine diagram for a certain kind of control unit of a processor. Based on the given diagram, answer the following questions to fulfill the required state machine.

[Rajah 3 menunjukkan rajah "state machine" bagi sebuah unit pengawal sesebuah pemproses. Berdasarkan kepada rajah tersebut, berikan jawapan bagi soalan-soalan berikut untuk memenuh ciri-ciri mesin keadaan ini.]



**Figure 3**  
 [Rajah 3]

(a) Write the VHDL states and signal declaration for the VHDL architecture section  
 [Tulislah pengisytiharan keadaan-keadaan untuk bahagian "VHDL architecture".]  
 [6 Marks / Markah]

(b) Write the VHDL program to show the synchronized state transition from next to present in the VHDL architecture section  
 [Tulislah arahan VHDL untuk menunjukkan perubahan segerak dari keadaan akan datang ke keadaan semasa dalam bahagian "VHDL architecture".]  
 [2 Marks / Markah]

- (c) Write the VHDL program for the first SIX (6) state transitions in the VHDL architecture section as declared in Question 5(a).  
*[Tuliskan aturcara VHDL untuk perubahan ENAM (6) keadaan pertama dalam bahagian "VHDL architecture" seperti yang telah diisytihar dalam Soalan 5(a).]*
- [6 Marks / Markah]
- (d) Write the VHDL program for the remaining SIX (6) state transitions in the VHDL architecture section as declared in Question 5(a).  
*[Tuliskan aturcara VHDL untuk perubahan baki ENAM (6) keadaan dalam bahagian "VHDL architecture" seperti yang telah diisytihar dalam Soalan 5(a).]*
- [6 Marks / Markah]

## Question 6

[Soalan 6]

Figure 4 below shows a block diagram of a certain kind of shift left-right register. The following control signals with its priority level are defined as :

[Rajah 4 dibawah menunjukkan blok sebuah daftar anjak kiri-kanan. Isyarat kawalan bersama dengan tahap kepentingannya telah didefinisikan sebagai :]

- i. Chip Select (1<sup>st</sup> priority) – when logic high will enable the register operations.  
[Chip select (kepentingan utama) – apabila logik tinggi akan membolehkan daftar beroperasi.]
- ii. Load Enable (2<sup>nd</sup> priority) – when logic high will allow parallel data load into the register.  
[Load enable (kepentingan kedua) – apabila logik tinggi akan membolehkan data dimuatkan secara selari ke dalam daftar.]
- iii. Clock (3<sup>rd</sup> priority) – active when Load Enable is logic low, thus allowing the register to shift dependant on the shift direction on every edge trigger.  
[Clock (kepentingan ketiga) – aktif apabila logik Load Enable rendah, membolehkan daftar beranjak mengikut arah anjakan setiap kali dipicu.]
- iv. Shift\_Dir (4<sup>th</sup> priority) – will be examined upon every Clock pulse to determine the left or right shift direction.  
[Shift\_Dir (kepentingan keempat) – akan diperiksa setiap denyut Clock untuk menentukan arah anjak kiri atau kanan.]

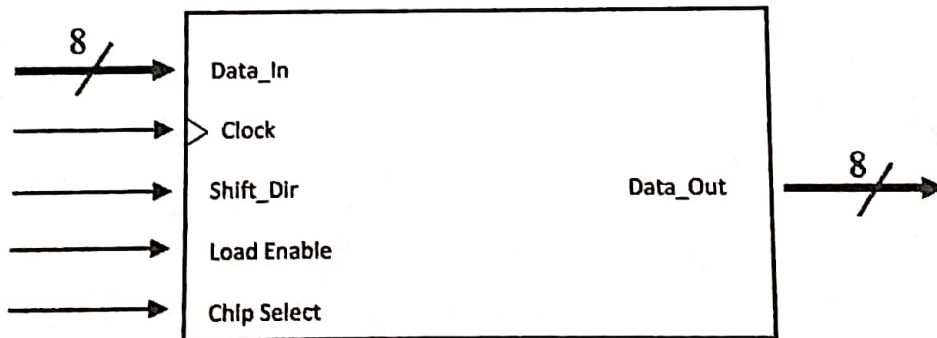


Figure 4  
[Rajah 4]

- (a) Using the VHDL IEEE 1076-1993 standard, write down the basic library declaration required to fulfill the shift left-right register as explained above.

Dengan menggunakan piawaian VHDL 1076-1993, tuliskan deklarasasi piawaian yang memenuhi daftar anjak kiri-kanan seperti dinyatakan di atas.

[4 Marks / Markah]

- (b) Using the VHDL IEEE 1076-1993 standard, write down the entity declaration required to fulfill the shift left-right register as explained above.

Dengan menggunakan piawaian VHDL 1076-1993, tuliskan deklarasasi entiti yang memenuhi daftar anjak kiri-kanan seperti dinyatakan di atas.

[6 Marks / Markah]

- (c) Write the VHDL program for each of the controlled operations mentioned above  
*[Tuliskan aturcara VHDL untuk setiap operasi-operasi kawalan yang telah dinyatakan di atas.]*  
[4 Marks / Markah]
- (d) Using the VHDL IEEE 1076-1993 standard, write down the architecture declaration required to fulfill the shift left-right register as explained above.  
*Dengan menggunakan piawalan VHDL 1076-1993, tuliskan deklarası senibina yang memenuhi daftar anjak kiri-kanan seperti dinyatakan di atas.*  
[6 Marks / Markah]