

SULIT

UNIVERSITI MALAYSIA PERLIS

Peperiksaan Semester Kedua
Sidang Akademik 2009/2010

26 April 2010

**DMT 241 – Introduction To Integrated Circuit Layout [Pengantar Bentangan
Litar Terkamir]**

Masa : 3 jam

Please make sure that this question paper has **TEN (10)** printed pages including this front page before you start the examination.

*[Sila pastikan kertas soalan ini mengandungi **SEPULUH (10)** muka surat yang bercetak termasuk muka hadapan sebelum anda memulakan peperiksaan ini.]*

This question paper has **SIX** questions. Answer **any FIVE** questions.

*[Kertas soalan ini mengandungi **ENAM** soalan. Jawab **mana-mana LIMA** soalan.]*

SULIT

Question 1*[Soalan 1]*

- a) Very Large Scale Integration (VLSI) is a combination of thousand transistors that created integrated circuit.

[Pengamiran Skala sangat besar (VLSI) adalah gabungan beribu-ribu transistor yang menciptakan litar terkamir.]

- i) List **THREE (3)** benefits of using VLSI in integrated circuit.

[Senaraikan TIGA (3) kelebihan penggunaan VLSI dalam litar terkamir.]

(3marks/ markah)

- ii) Name **THREE (3)** applications of VLSI that is used in integrated circuit.

[Namakan TIGA (3) aplikasi VLSI yang digunakan dalam litar terkamir]

(3 marks/ markah)

- (b) In year 1965, Gordon Moore predicted that the transistors count doubled every 24 months. This prediction is called Moore's Law. From year 1976 to 2006, the chip area increased from few square mm to 350 mm² which consists of 1 million transistors per mm². Give **FOUR (4)** integration levels that reflect to Moore's Law in term of gate count.

[Dalam tahun 1965, Gordon Moore meramalkan yang transistor-transistor meningkat dua kali ganda setiap 24 bulan. Ramalan ini dipanggil Hukum Moore. Dari tahun 1976 ke 2006, kawasan cip meningkat dari beberapa mm persegi ke 350 mm² persegi yang mana ianya mengandungi 1 juta transistor per mm². Berikan EMPAT(4) aras pengamiran yang merujuk kepada Hukum Moore dari segi bilangan get.]

(4 marks/ markah)

....3/-

SULIT

- (c) An NMOS transistor was designed using a $0.45\ \mu\text{m}$ technology with a width of $5\ \mu\text{m}$ and a length of $2\ \mu\text{m}$. The gate oxide thickness for this process is $100\ \text{\AA}$, the mobility of electrons is $350\ \text{cm}^2/\text{V}\cdot\text{s}$ and the threshold voltage is $0.7\ \text{V}$.

[Suatu transistor NMOS yang direkabentuk menggunakan teknologi $0.45\ \mu\text{m}$ dengan lebar $5\ \mu\text{m}$ dan panjang $2\ \mu\text{m}$. Ketebalan get oksida bagi proses ini adalah $100\ \text{\AA}$, pergerakan elektron adalah $350\ \text{cm}^2/\text{V}\cdot\text{s}$ dan voltan ambang adalah $0.7\ \text{V}$]

- i) Calculate capacitance gate oxide, C_{ox} and β for the transistor.

[Kirakan kemuatan oksida C_{ox} dan β bagi transistor tersebut]

(4 marks/ markah)

- ii) Given the value of gate-source voltage V_{gs} , is $0.3\ \text{V}$, calculate drain-source current I_{ds} , in saturation region.

[Diberi nilai voltan get-punca V_{gs} , adalah $0.3\ \text{V}$, kirakan arus salir-punca I_{ds} dalam keadaan tepu.]

(3 marks/ markah)

- iii) Choose the operating mode of NMOS transistor if the value of I_d is $200\ \text{mA}$ and assume that V_{ds} is $5.5\ \text{V}$.

[Pilihkan mod operasi bagi transistor NMOS tersebut sekiranya nilai I_d adalah $200\ \text{mA}$ dan andaikan V_{dd} adalah $5\ \text{V}$.]

(3 marks/ markah)

Question 2

[Soalan 2]

- (a) Simulation Program with Integrated Circuits Emphasis (SPICE) is widely used in microelectronic industry. Most of the manufacturer provides SPICE model since it is essential for Computer-Aided-Design (CAD) tool.

[Program Simulasi dengan tegasan Litar Terkamir (SPICE) kebiasaannya digunakan dalam industri mikroelektronik. Kebanyakan pengilang menyediakan model SPICE semenjak ianya menjadi penting untuk peralatan Rekabentuk- bantuan-komputer (CAD) .]

- (i) Identify **FOUR (4)** advantages of using SPICE in CAD tool.

[Kenalpasti EMPAT (4) kebaikan penggunaan SPICE dalam peralatan CAD tool.]

(4 marks/ markah)

- (ii) Explain in detail the built-in MOSFET model in SPICE.

[Terangkan secara mendalam membina model MOSFET dalam SPICE.]

(3 marks/ markah)

- (b) There are many types of analysis that commonly used in SPICE simulator.

Explain in detail the analyses that can be used to simulate in Resistor-Capacitor (RC) circuit.

[Terdapat pelbagai jenis analisa yang biasa di gunakan dalam SPICE. Terangkan secara mendalam analisa yang di boleh memanipulasi dalam litar Resistor-Pemuat (RC)]

(3 marks/ markah)

- (c) Given $Y = (\overline{AB}) + (CD) + (\overline{E})$. Answer the following questions:

[Diberikan $Y = (\overline{AB}) + (CD) + (\overline{E})$. Jawab soalan-soalam berikut:]

- (i) Write full netlist SPICE for the equation Y

[Tuliskan SPICE 'netlist' penuh bagi persamaan Y.]

(7 marks/ markah)

- (ii) Write a test-bench SPICE netlist using PULSE source as an input signal.

[Tuliskan 'netlist testbench' 'Netlist' menggunakan punca DENYUT sebagai isyarat masukan.]

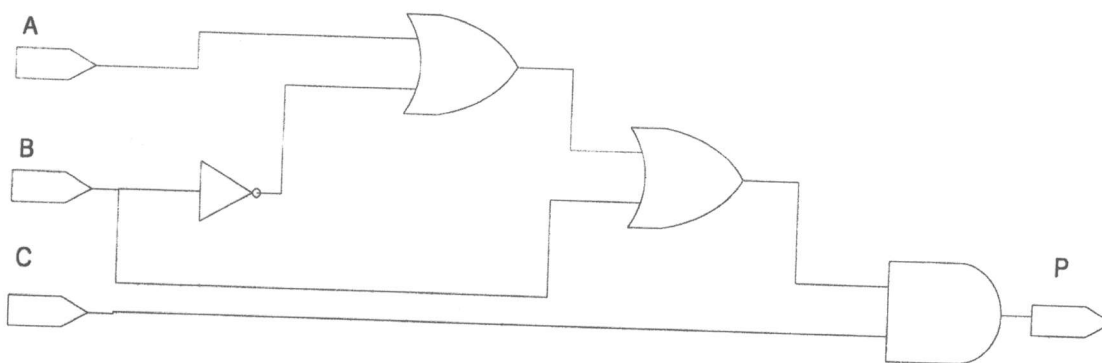
(3 marks/ markah)

Question 3*[Soalan 3]*

Combinational logic gate is a combination. Based on **Figure 3**:

[Kombinasi get logik adalah kombinasi get DAN ,ATAU dan TAK. Berdasarkan Rajah 3:]

- i) Identify the Boolean equation for the output, P.
[kenalpastikan persamaan Boolean untuk keluaran, P.]
(1 mark/ markah)
- ii) sketch the CMOS transistor level schematic circuit.
[lakarkan sebuah litar skematik aras transistor CMOS.]
(5marks/ markah)
- iii) write a full SPICE netlist transcript for the circuit.
[Tuliskan sebuah transkrip 'netlist' 'SPICE' penuh untuk litar tersebut.]
(4marks/ markah)
- iv) sketch the Pseudo-NMOS transistor level schematic circuit.
[Lakarkan sebuah litar skematik aras transistor 'Pseudo-NMOS'.]
(5marks/ markah)
- v) sketch the stick diagram for the circuit.
[lakarkan sebuah gambarajah ranting untuk litar tersebut.]
(5marks/ markah)

**Figure 3***[Rajah 3]*

Question 4**[Soalan 4]**

(a) A complete CMOS gate is constructed by combining a Pull Down Network (PDN) and a Pull Up Network (PUN). Based on **Figure 5**. Answer the following questions:
[Suatu get CMOS lengkap di bina dengan menggabungkan sebuah Rangkaian Tarik-Bawah (PDN) dan sebuah Rangkaian Tarik-Naik(PUN). Berdasarkan pada Rajah 5. Jawab soalan-soalam berikut:]

i) sketch the complete PDN for the output, Y.

[lakarkan sebuah PDN lengkap untuk keluaran, Y.]

(5 marks/ markah)

ii) identify the Boolean equation for the output, Y.

[kenalpasti persamaan Boolean untuk keluaran, Y.]

(2 marks/ markah)

iii) sketch the stick diagram for the output, Y.

[lakarkan sebuah gambarajah ranting untuk keluaran, Y.]

(5 marks/ markah)

iv) sketch an Euler path for the circuit.

[lakarkan sebuah laluan Euler untuk litar tersebut.]

(5 marks/ markah)

v) based on your Boolean equation in (ii), write a truth table for the circuit.

[berdasarkan persamaan Boolean pada (ii), tuliskan sebuah jadual kebenaran bagi litar tersebut.]

(3 marks/ markah)

....7/-

SULIT

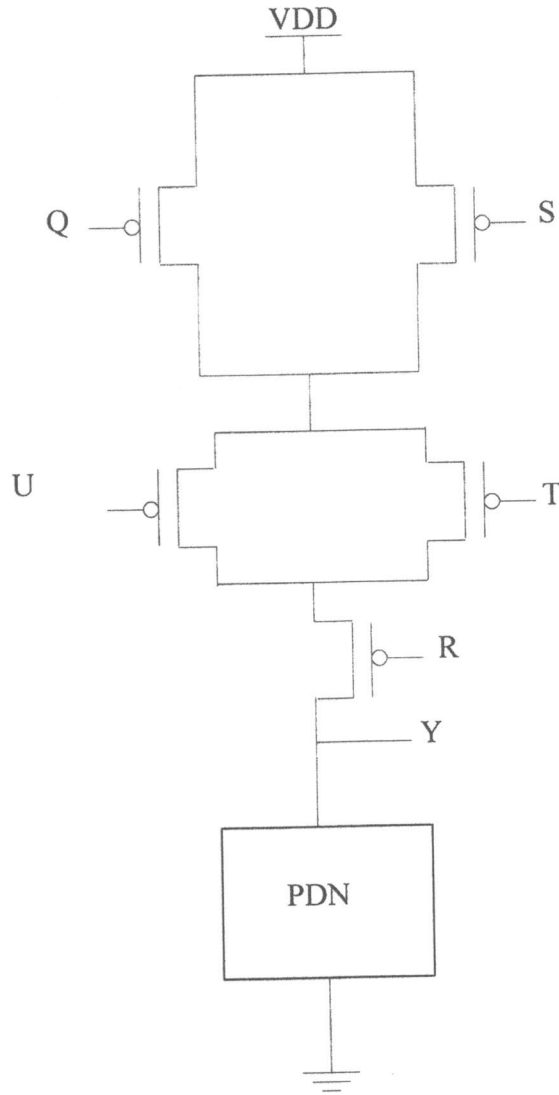


Figure 5
[Rajah 5]

Question 5*[Soalan 5]*

- (a) Metal Oxide Semiconductor (MOS) is majority carrier devices.
[Separuh Pengalir Oksida Logam (MOS) adalah peranti pembawa terbanyak.]
- i) With an aid of diagrams, explain in detail the behavior of MOS junction.
[Dengan bantuan gambarajah, terangkan dengan terperinci pelakuan-pelakuan transistor MOS.]
(5 marks/ markah)
- ii) With an aid of diagrams, explain in detail the operations of nMOS transistor.
[Dengan bantuan gambarajah, terangkan dengan terperinci operasi-operasi dalam transistor nMOS.]
(5 marks/ markah)
- iii) Briefly explain the connection of CMOS transistors for N-type and P-type circuit that can react as switches.
[Terangkan secara ringkas penyambungan pada transistor CMOS untuk litar jenis -N dan jenis-P yang mana boleh bertindak sebagai suis.]
(4 marks/ markah)
- (b) There are two types of logic circuits that are always used in circuit design. They are combinational logic circuit and sequential logic circuit.
[Terdapat dua jenis litar logik yang selalunya di gunakan dalam rekabentuk. Ianya adalah Gabungan kombinasi litar logik dan litar logik jujukan.]
- i) Name **TWO (2)** types of family circuits that used in sequential logic circuit.
[Namakan DUA(2) jenis keluarga litar yang biasanya di gunakan dalam dan litar logik jujukan.]
(2 marks/ markah)

....9/-

- ii) Describe the network construction that is used in PUN and PDN for the sequential logic circuit.

[Huraikan pembinaan rangkaian yang digunakan dalam PUN dan PDN untuk litar logik jujukan.]

(2 marks/ markah)

- iii) Briefly explain the operation of sequential logic circuit.

[Terangkan secara ringkas operasi pada litar logik jujukan.]

(2 marks/ markah)

Question 6

[Soalan 6]

- (a) List **THREE (3)** advantages and **TWO (2)** disadvantages using Dynamic logic circuit.

[Senaraikan TIGA (3) kelebihan dan DUA (2) kekurangan menggunakan litar logik Dinamik.]

(5marks/ markah)

- (b) Given $Q = \overline{\overline{(W + Y)}(G + H)}$. Answer the following questions:

[Diberikan $Q = \overline{\overline{(W + Y)}(G + H)}$. Jawab soalan-soalan berikut:]

- i) Sketch the CMOS transistor level schematic circuit for the output, Q.

[Lakarkan sebuah litar skematik aras transistor CMOS untuk keluaran, Q.]

(5marks/ markah)

- ii) Sketch the Pseudo-NMOS transistor level schematic circuit.

[Lakarkan sebuah litar skematik aras transistor 'Pseudo-NMOS'.]

(5marks/ markah)

- iii) Sketch the stick diagram for the circuit.

[Lakarkan sebuah gambarajah ranting pada litar.]

(5marks/ markah)