

SULIT

UNIVERSITI MALAYSIA PERLIS

Peperiksaan Semester Kedua
Sidang Akademik 2012/2013

18 Mac 2013

DMT 241 – Introduction To Integrated Circuit Layout
[Pengantar Bentangan Litar Terkamir]

Masa: 3 jam

Please make sure that this question paper has **TEN (10)** printed pages including this front page before you start the examination.

*[Sila pastikan kertas soalan ini mengandungi **SEPULUH (10)** muka surat yang bercetak termasuk muka hadapan sebelum anda memulakan peperiksaan ini.]*

This question paper has **SIX (6)** questions. Answer any **FIVE (5)** questions.

*[Kertas soalan ini mengandungi **ENAM (6)** soalan. Jawab mana-mana **LIMA (5)** soalan.]*

SULIT

Question 1*[Soalan 1]*

- (a) In the year 2000, Jack Kilby of Texas Instruments received the Nobel Prize in Physics for his invention of Integrated Circuit (IC).

[Dalam tahun 2000, Jack Kilby dari Texas Instrument menerima Hadiah Nobel dalam Fizik untuk Litar Bersepadu (IC) ciptaannya.]

- (i) Briefly explain the IC.

[Terangkan secara ringkas IC.]

(2 Marks / Markah)

- (ii) Discuss **THREE (3)** advantages of IC.

[Bincangkan TIGA (3) kelebihan IC.]

(6 Marks / Markah)

- (b) In the year 1965, Gordon Moore has observed that the number of transistors that can be most economically manufactured on a chip gives a straight-line plot on a semi logarithmic scale. At that time, he found that the transistor count was doubled in every 18 months. Thus, his observation has been called Moore's Law.

[Dalam tahun 1965, Gordon Moore telah mendapati bilangan transistor yang paling ekonomik boleh dihasilkan atas satu cip telah memberikan plot satu garisan lurus pada skala semi logaritma. Pada masa itu dia dapati bilangan transistor mengganda pada setiap 18 bulan. Maka, pemerhatian beliau dikenali sebagai Hukum Moore.]

- (i) List **THREE (3)** outcomes from Moore's Law.

[Senaraikan TIGA (3) hasil daripada Hukum Moore.]

(3 Marks / Markah)

- (ii) Summarise the classification of integration level of chip.

[Rumuskan pengkelasan aras pengamiran cip.]

(3 Marks / Markah)

....3/-

SULIT

- (c) Based on **Figure 1**:
[Berdasarkan **Rajah 1**:]

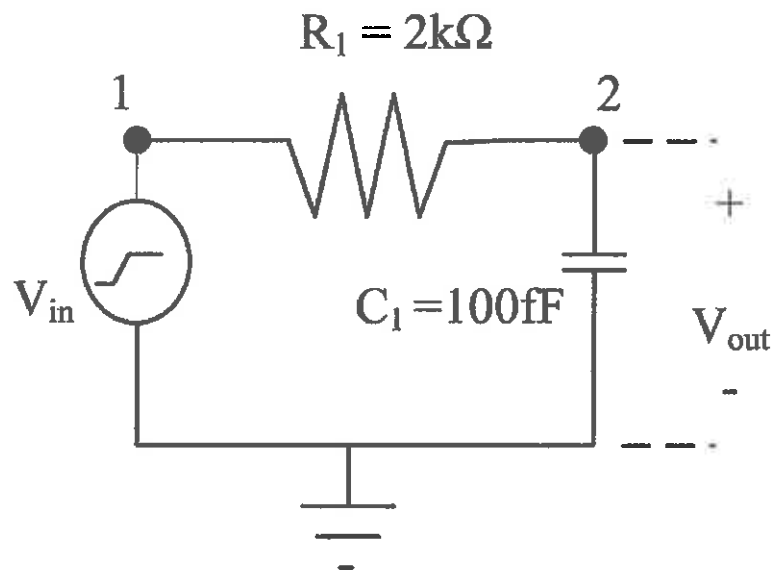


Figure 1
[**Rajah 1**]

- (i) Write the netlist without the control statement lines.
[Tulis "netlist" tanpa baris ayat pengawal.] (3 Marks / Markah)
- (ii) If the source, V_{in} is a **PULSE**, sketch and label the output waveform.
[Jika sumber, V_{in} adalah satu **DENYUT**, lakar dan labelkan keluaran bentuk gelombangnya.] (1 Mark / Markah)
- (iii) Write the syntax for **TWO (2)** common Simulation Program with Integrated Circuits Emphasis (SPICE) elements other than the answer in (c)(i).
[Tuliskan nahu untuk **DUA (2)** elemen Program Simulasi Penekanan Litar Terkamir (SPICE) yang umum selain daripada jawapan (c)(i).] (2 Marks / Markah)

Question 2

[Soalan 2]

- (a) Very Large Scale Integration (VLSI) is the process of creating IC by combining thousands of transistors into a single chip. Discuss **FOUR (4)** design problems in VLSI.

[Pengamiran Skala Sangat Besar (VLSI) adalah proses menghasilkan IC dengan menggabungkan ribuan transistor ke dalam satu cip. Bincangkan **EMPAT (4)** masalah rekabentuk dalam VLSI.]

(4 Marks / Markah)

- (b) Based on **Figure 2:**

[Berdasarkan Rajah 2:]

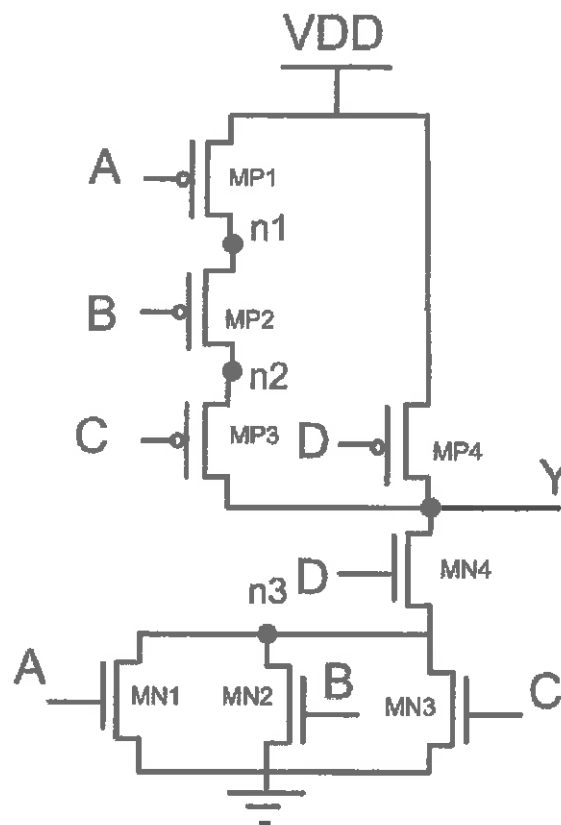


Figure 2

[Rajah 2]

....5/-

SULIT

- (i) Identify the Boolean equation.
[Kenalpasti persamaan Boolean.]
(1 Mark / Markah)
- (ii) Build a truth table based on the answer in (b)(i).
[Bina jadual kebenaran berdasarkan jawapan pada (b)(i).]
(3 Marks / Markah)
- (iii) Write the SPICE netlist.
[Tuliskan "netlist" SPICE.]
(8 Marks / Markah)
- (c) A design flow is a set of procedures that allow the designers to perform a development from a chip specification until the final chip implementation in an error-free way. Discuss the IC design flow.
[Aliran rekabentuk adalah satu set tatacara yang membenarkan perekabentuk untuk melakukan kemajuan daripada spesifikasi satu cip hingga pelaksanaan terakhir cip dalam laluan bebas-ralat. Bincangkan aliran rekabentuk IC.]
(4 Marks / Markah)

Question 3*[Soalan 3]*

(a) By referring to an nMOS transistor:

[Dengan merujuk kepada transistor nMOS:](i) State and briefly explain the **THREE (3)** transistor's operation regions.*[Nyatakan dan terangkan secara ringkas TIGA (3) kawasan-kawasan operasi transistor.]*

(6 Marks / Markah)

(ii) Write the conditions for Gate to Source voltage, V_{GS} and Drain to Source voltage, V_{DS} for each of the operation regions in (a)(i).*[Tuliskan syarat-syarat untuk voltan Get ke Sesumber, V_{GS} dan voltan Sesalir ke Sesumber, V_{DS} untuk setiap kawasan operasi dalam (a)(i).]*

(3 Marks / Markah)

(iii) Write the equations for the Drain to Source current, I_{DS} for each of the operation regions as stated in (a)(i).*[Tuliskan persamaan-persamaan untuk arus Sesalir ke Sesumber, I_{DS} untuk setiap kawasan-kawasan operasi yang dinyatakan dalam (a)(i).]*

(1.5 Marks / Markah)

(iv) Sketch and label the I_{DS} versus V_{DS} graph that clearly shows all the **THREE (3)** operation regions as stated in (a)(i).*[Lakar dan labelkan graf I_{DS} lawan V_{DS} yang menunjukkan dengan jelas kesemua TIGA (3) kawasan operasi yang dinyatakan dalam (a)(i).]*

(2.5 Marks / Markah)

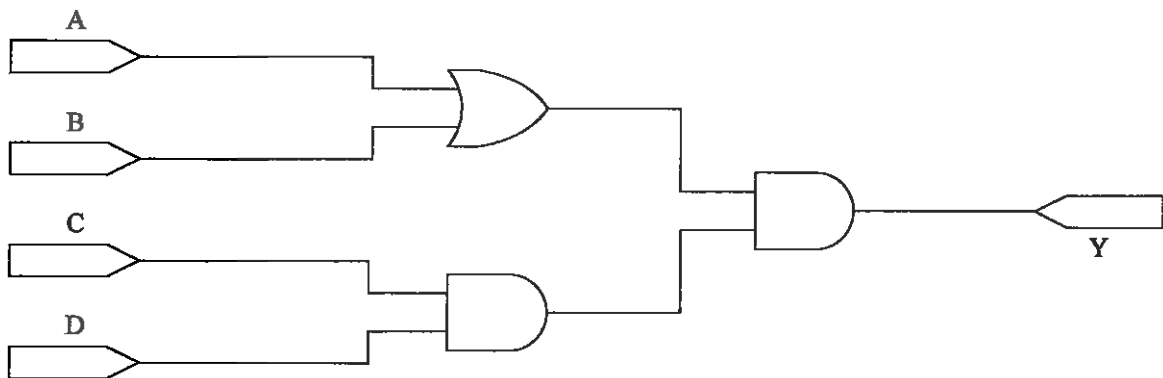
(b) An nMOS transistor has a width to length ratio (W/L) equals to 4. The gate oxide thickness for the device is 100 \AA , the mobility of electron is $350 \text{ cm}^2/\text{Vs}$ and the threshold voltage, V_{th} is 0.7 V . For V_{GS} values 0.2 V , 1.5 V and 3.0 V , determine the I_{DS} at $V_{DS} = 1 \text{ V}$.*[Satu transistor nMOS mempunyai nisbah lebar ke panjang (W/L) bersamaan dengan 4. Ketebalan get oksida untuk peranti tersebut adalah 100 \AA , mobiliti elektron adalah $350 \text{ cm}^2/\text{Vs}$ dan voltan ambang, V_{th} adalah 0.7 V . Bagi nilai-nilai V_{GS} 0.2 V , 1.5 V dan 3.0 V , tentukan I_{DS} pada $V_{DS} = 1 \text{ V}$.]*

(7 Marks / Markah)

Question 4*[Soalan 4]*

Figure 4 shows a combinational logic gate consisting of two AND gates and one OR gate. Based on the figure:

[Rajah 4 menunjukkan sebuah kombinasi get logic yang terdiri daripada dua get DAN dan satu get ATAU. Berdasarkan kepada rajah tersebut:]

**Figure 4***[Rajah 4]*

- (a) Write the Boolean equation for the output, Y.

[Tuliskan persamaan Boolean untuk keluaran, Y.]

(2 Marks / Markah)

- (b) Sketch the Complementary Metal Oxide Semiconductor (CMOS) transistor level schematic circuit.

[Lakarkan litar skematik aras transistor Pelengkap Separa Pengalir-Oksida-Logam (CMOS).]

(6 Marks / Markah)

- (c) Sketch the Euler path for the circuit.

[Lakarkan laluan Euler bagi litar tersebut.]

(2 Marks / Markah)

- (d) Sketch the stick diagram for the circuit by using p-type substrate.

[Lakarkan gambarajah lidi untuk litar tersebut menggunakan substrat jenis-p.]

(10 Marks / Markah)

Question 5
[Soalan 5]

Figure 5 shows the stick diagram for a CMOS combinational logic gate. From the figure:
[Rajah 5 menunjukkan gambarajah lidi bagi sebuah kombinasi get logik CMOS. Daripada rajah tersebut:]

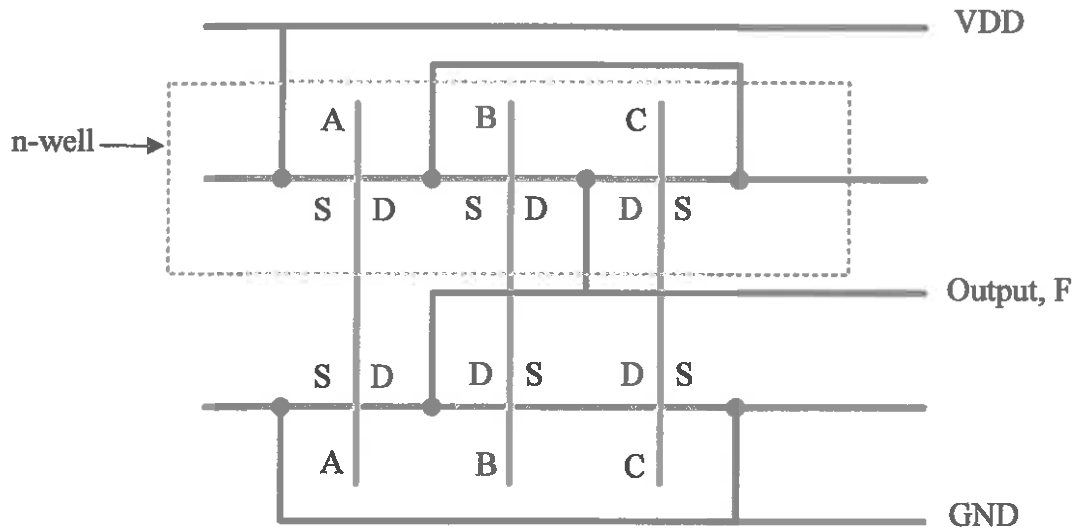


Figure 5
[Rajah 5]

- (a) Sketch the corresponding transistor level schematic.
[Lakarkan skematik aras transistor yang sepadan.] (3.5 Marks / Markah)
- (b) Determine the Boolean expression for the output, F.
[Tentukan persamaan Boolean bagi keluaran, F.] (2 Marks / Markah)
- (c) Sketch the gate level schematic for the Boolean equation in (b).
[Lakarkan skematik aras get bagi persamaan Boolean dalam (b).] (2 Marks / Markah)
- (d) Based on the answer in (b), build the truth table for the circuit.
[Berdasarkan pada jawapan dalam (b), bina jadual kebenaran bagi litar tersebut.] (2.5 Marks / Markah)
- (e) Sketch the layout based on 0.35 μm technology and label at least **FOUR (4)** design rules that must be followed.
[Lakarkan bentangnya berdasarkan teknologi 0.35 μm dan labelkan sekurang-kurangnya **EMPAT (4)** aturan rekabentuk yang mesti dipatuhi.] (10 Marks / Markah)

Question 6

[Soalan 6]

- (a) Refer to **Figure 6**. Sketch the cross section view for Z – Z' and clearly label all the layers in the cross section
 [Rujuk kepada **Rajah 6**. Lakarkan pandangan keratan rentas bagi Z – Z' dan labelkan dengan jelas semua lapisan dalam keratan rentas tersebut.]

(10 Marks / Markah)

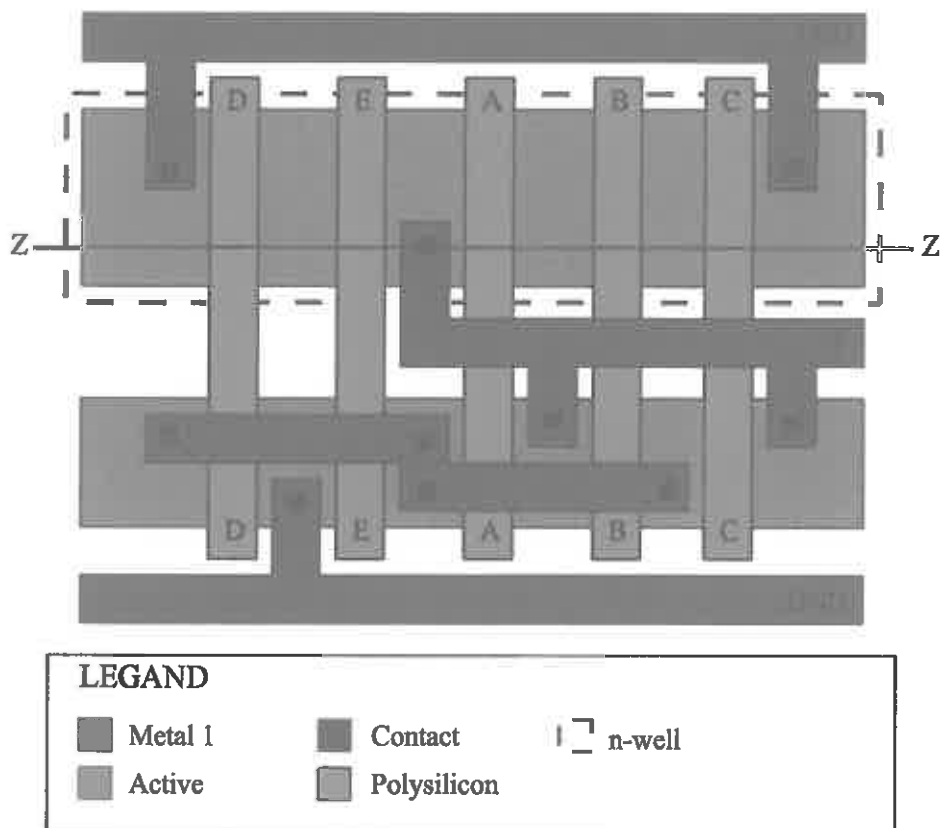


Figure 6

[Rajah 6]

- (b) Sketch and label the cross section for a pMOS and an nMOS transistors.
 [Lakar dan labelkan keratan rentas untuk sebuah transistor pMOS and nMOS.]
 (4 Marks / Markah)
- (c) State the main reason why designer has to perform Layout Versus Schematic (LVS).
 [Nyatakan tujuan utama mengapa perekabentuk perlu melakukan semakan Bentangan Melawan Skematik (LVS).]
 (2 Marks / Markah)

....10/-

SULIT

- (d) State the main difference between Design Rule Check (DRC) and LVS. Give **ONE (1)** example.

*[Nyatakan perbezaan utama antara Semakan Peraturan Rekabentuk (DRC) dan LVS. Berikan **SATU (1)** contoh.]*

(4 Marks / Markah)