

**SULIT**

---

**UNIVERSITI MALAYSIA PERLIS**

**Peperiksaan Semester Kedua  
Sidang Akademik 2014/2015**

**Mac 2015**

**DMT 241 – Introduction To Integrated Circuit Layout  
[Pengantar Bentangan Litar Terkamir]**

**Masa: 3 jam**

---

Please make sure that this question paper has **TWELVE (11)** printed pages including this front page before you start the examination.

*[Sila pastikan kertas soalan ini mengandungi **DUA BELAS (11)** muka surat yang bercetak termasuk muka hadapan sebelum anda memulakan peperiksaan ini.]*

This question paper has **SIX (6)** questions. Answer **any FIVE (5)** questions.

*[Kertas soalan ini mengandungi **ENAM (6)** soalan. Jawab mana-mana **LIMA (5)** soalan.]*

Write your answer for question 1(c) (iv) in **Appendix I**. The formula are given in **Appendix II**.

*[Tulis jawapan anda untuk soalan 1(c) (iv) dalam **Lampiran I**. Formula diberikan dalam **Lampiran II**]*

**SULIT**

**Question 1**

[Soalan 1]

(a) An Integrated Circuit (IC) is a semiconductor wafer on which thousands or millions of tiny resistors, capacitors and transistors are fabricated.

[Litar Bersepadu (IC) ialah wafer semikonduktor di mana beribu-ribu atau berjuta-juta daripada perintang kecil, pemuat dan transistor dibina..]

(i) Give TWO (2) types of semiconductor material that are used in IC fabrication.  
[Berikan DUA(2) jenis bahan-bahan separuh pengalir yang digunakan dalam fabrikasi IC.]

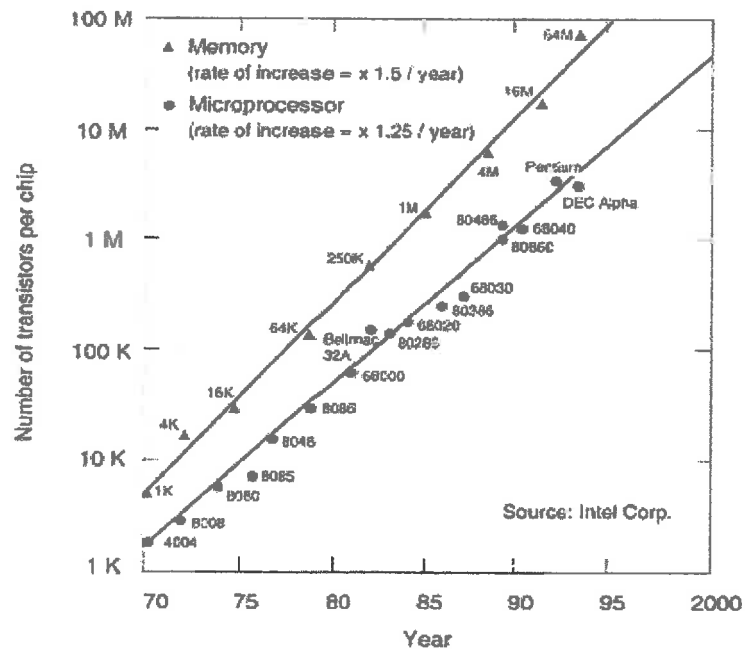
(2 Marks / Markah)

(ii) Summarize TWO (2) trends in IC design.  
[Ringkaskan DUA (2) tren dalam rekabentuk IC.]

(4 Marks / Markah)

(b) Based on Figure 1.1:

[Berdasarkan pada Rajah 1.1:]



**Figure 1.1**

[Rajah 1.1]

(i) Name the IC design's law represented by the diagram.

[Namakan undang-undang rekabentuk IC yang dipaparkan dengan rajah tersebut.]

(1 Mark / Markah)

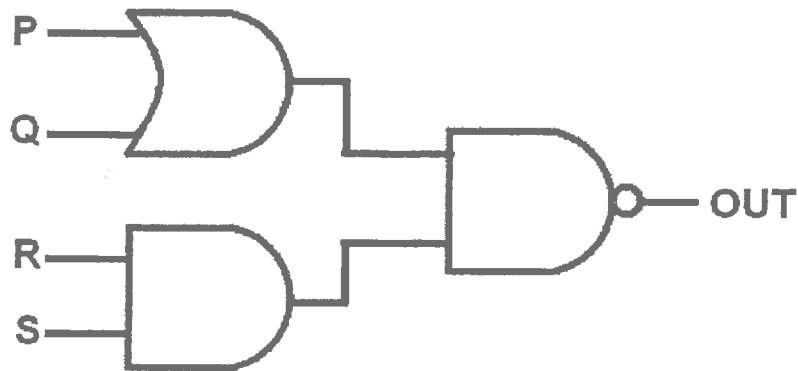
(ii) Critique TWO (2) important interpretations from the law.

[Kritikkan DUA (2) tafsiran penting daripada undang-undang tersebut.]

(4 Marks / Markah)

....3/-

- (c) Based on **Figure 1.2**:  
*[Berdasarkan kepada Rajah 1.2:]*



**Figure 1.2**  
*[Rajah 1.2]*

- (i) Identify the Boolean's equation.  
*[Kenal pastikan persamaan Boolean]*  
 (1 Mark / Markah)
- (ii) Sketch the transistor level schematic using Complementary Metal Oxide Semiconductor (CMOS) logic.  
*[Lakarkan litar skematik aras transistor menggunakan logic Pelengkap Serara Pengalir Oksida Logam CMOS.]*  
 (4 Marks / Markah)
- (iii) Construct the truth table.  
*[Binakan jadual kebenarannya.]*  
 (2 Marks / Markah)
- (iv) Based on your truth table in c (iii), sketch the output, OUT waveform in **Appendix I**.  
*[Berdasarkan pada jadual kebenaran anda dalam c(iii), lakarkan bentuk gelombang keluaran, OUT dalam Lampiran I.]*  
 (2 Marks / Markah)

**Question 2**  
[Soalan 2]

- (a) The number of components fitted into standard size IC represents its integration scale. Discuss **TWO (2)** integration scale of IC technology.

[Bilangan komponen yang dimuatkan ke dalam saiz piawai IC mewakili skala pengamirannya. Bincangkan **DUA (2)** skala pengairan teknologi IC.]

(4 Marks / Markah)

- (b) Simulation Program with Integrated Circuit Emphasis (SPICE) is a general purpose circuit simulator which is widely used in microelectronic industry.

[Program Simulasi Penekanan Litar Terkamir (SPICE) ialah pensimulasi litar serba guna yang digunakan secara meluas di industri mikroelektronik.]

- (i) List **THREE (3)** built-in Metal Oxide Semiconductor Field Effect Transistor (MOSFET) models in SPICE.

[Senaraikan **TIGA (3)** model Transistor Kesan Medan Separa Pengalir Oksida Logam (MOSFET) yang sedia ada dalam SPICE.]

(3 Marks / Markah)

- (ii) Give **TWO (2)** advantages of SPICE.

[Berikan **DUA (2)** kelebihan-kelebihan SPICE.]

(2 Marks / Markah)

- (c) Based on equation below:

[Berdasarkan pada persamaan di bawah:]

$$Z = \overline{C(A + \overline{B})}$$

- (i) Identify the number of transistor for the circuit using CMOS logic design.

[Tentukan jumlah transistor untuk litar tersebut menggunakan rekabentuk CMOS logik.]

(1 Mark / Markah)

- (ii) Sketch the transistor level schematic for answer in (c)(i).

[Lakarkan transistor paras skematik untuk jawapan di (c)(i).]

(6 Marks / Markah)

- (iii) Write the netlist without the control and stimulator statements.

[Tuliskan 'netlist' tanpa pernyataan kawalan dan perangsang.]

(4 Marks / Markah)

**Question 3****[Soalan 3]**

MOSFET is the core of integrated circuit, which is designed with thousands of transistors on a single chip.

*[MOSFET adalah teras kepada litar bersepadu, dimana direkabentuk dengan beribu-ribu transistor di atas satu cip.]*

- (i) Elaborate **THREE (3)** differences between NMOS and PMOS transistor.

*[Huraikan TIGA (3) perbezaan-perbezaan utama antara transistor NMOS dan PMOS.]*

(6 Marks / Markah)

- (ii) Discuss **TWO (2)** main advantages and **TWO (2)** main disadvantages of CMOS logic design.

*[Bincangkan DUA (2) kebaikan utamam dan DUA (2) keburukan utama rekabentuk logic CMOS.]*

(8 Marks / Markah)

- (iii) The disadvantages of CMOS logic design, listed in (ii) can be solved using pseudo NMOS logic design. Criticize this statement.

*[Keburukan-keburukan rekabentuk logic CMOS, yang disenaraikan dalam (ii) boleh diselesaikan dengan menggunakan rekebentuk pseudo NMOS logic. Kritikkan pernyataan ini.]*

(4 Marks / Markah)

- (iv) Summarize the main advantage of Dynamic logic circuit design.

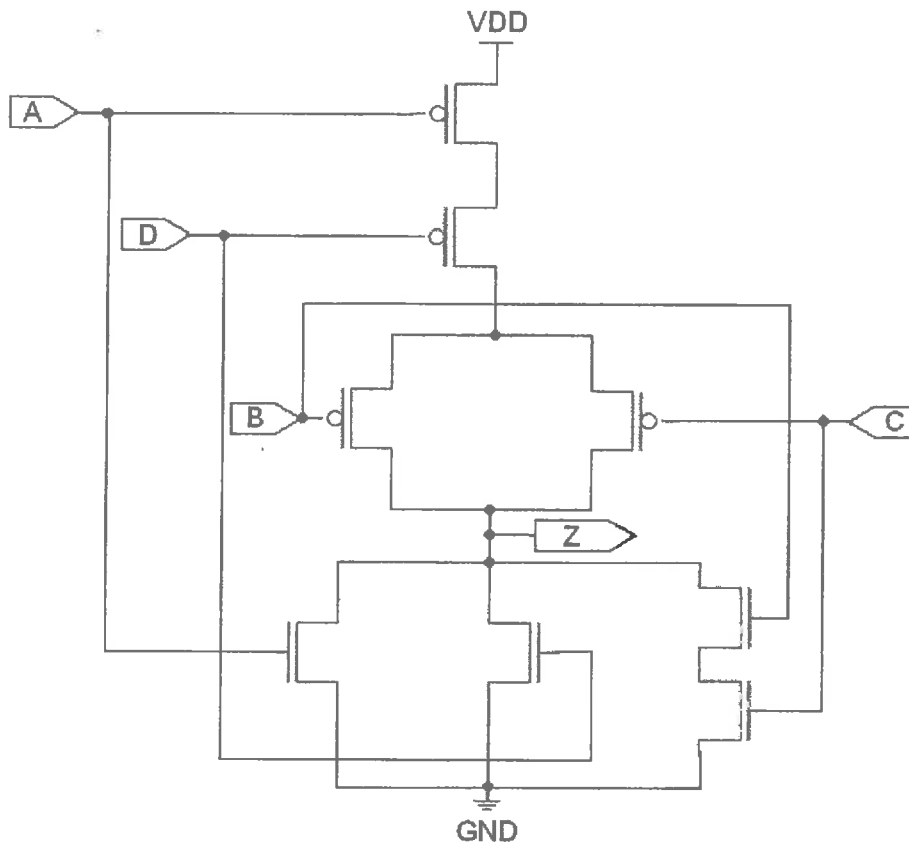
*[Simpulkan kelebihan utama rekebentuk litar logik Dinamik.]*

(2 Marks / Markah)

**Question 4**  
[Soalan 4]

Figure 4 shows a transistor level schematic of a circuit with all transistor sizes of length = 4 μm and width = 10 μm. Based on the figure:

[Rajah 4 menunjukkan sebuah transistor paras skematik bagi sebuah litar dengan semua transistor adalah bersaiz panjang = 4 μm dan kelebaran = 10 μm. Berdasarkan rajah tersebut.]



**Figure 4**  
[Rajah 4]

- (a) Write the Boolean equation for output, Z.  
[Tulis persamaan Boolean untuk keluaran, Z.]

(2 Marks / Markah)

- (b) Sketch the combinational logic gate of the circuit.  
[Lakarkan kombinasi get logik bagi litar tersebut.]

(2 Marks / Markah)

- (c) Sketch and name the Euler path for the circuit.  
[Lakar dan namakan laluan Euler untuk litar tersebut.]

(2 Marks / Markah)

(d) Sketch the stick diagram for the circuit by using p-type substrate.

*[Lakarkan gambarajah lidi untuk litar tersebut dengan menggunakan substrat jenis p.]*

**(7 Marks / Markah)**

(e) Sketch the layout for answer in (d).

*[Lakarkan bentangan untuk jawapan dalam (d).]*

**(6 Marks / Markah)**

**Question 5****[Soalan 5]**

- (a) With aid of diagrams, explain in detail the operation of a PMOS when the gate is biased from 0 V to  $V_{TH} = -0.8$  V.

*[Dengan bantuan gambarajah - gambarajah, terangkan secara terperinci operasi-operasi satu PMOS transistor apabila get dipicukan dari 0 V ke  $V_{TH} = -0.8$  V.]*

(10 Marks/ Markah)

- (b) An NMOS transistor, fabricated with TSMC 0.35  $\mu\text{m}$  technology has a width to length ratio (W/L) equal to 5. The gate oxide thickness for the device is 110  $\text{\AA}$ , the mobility of electron is 350  $\text{cm}^2/\text{Vs}$  and the threshold voltage,  $V_{TH}$  is 0.7 V. Given that  $V_{GS} = 1.0$  V, compute:

*[Satu transistor nMOS, yang difabrikasi dengan teknologi TSMC 0.35  $\mu\text{m}$  mempunyai nisbah lebar ke panjang (W/L) bersamaan dengan 5. Ketebalan get oksida untuk peranti tersebut adalah 110  $\text{\AA}$ , mobiliti elektron adalah 350  $\text{cm}^2/\text{Vs}$  dan voltan ambang,  $V_{TH}$  adalah 0.7 V. Diberi  $V_{GS} = 1.0$  V, tentukan:]*

- (i) The minimum  $V_{DS}$  value for the transistor to be in saturation region.

*[Nilai  $V_{DS}$  minimum untuk transistor tersebut berada dalam kawasan tepu.]*

(2 Marks/ Markah)

- (ii) The  $I_{DS}$  value in saturation region.

*[Nilai  $I_{DS}$  dalam kawasan tepu.]*

(4 Marks/ Markah)

- (c) Design a two inputs AND gate using pass transistor circuit.

*[Rekabentukkan sebuah dua masukan get DAN menggunakan litar transistor laluan.]*

(4 Marks/ Markah)



**Question 6***[Soalan 6]*

- (a) A circuit layout is a set of regions with different types of material together with wires that make up the circuit. Discuss **TWO (2)** advantages of performing stick diagram step.

*[Satu bentangan litar ialah satu set kawasan-kawasan dengan pelbagai jenis bahan bersama dengan dawai yang membentuk litar tersebut. Bincangkan DUA (2) kelebihan-kelebihan melakukan langkah gambarajah liti.]*

(4 Marks / Markah)

- (b) Layout verification is one of steps in layout design which involves Design Rules Check (DRC) and Layout Versus Schematic (LVS). Differentiate DRC with LVS.

*[Pengesahan bentangan ialah satu daripada langkah-langkah dalam rekabentuk bentangan yang melibatkan Semakan Peraturan Rekabentuk (DRC) dan Bentangan Melawan Skematik (LVS). Bezakan DRC dengan LVS.]*

(4 Marks / Markah)

- (c) By referring to the layout diagram as shown in **Figure 6**:

*[Dengan merujuk kepada gambarajah bentangan yang ditunjukkan dalam Rajah 6:]*

- (i) Sketch the stick diagram.

*[Lakarkan gambarajah liti.]*

(2 Marks / Markah)

- (ii) Determine the CMOS transistor level schematic circuit.

*[Tentukan litar skematik aras transistor CMOS.]*

(6 Marks / Markah)

- (iii) Sketch the cross sectional view of A-A'.

*[Lakarkan kerantas rentas untuk A-A'.]*

(4 Marks / Markah)

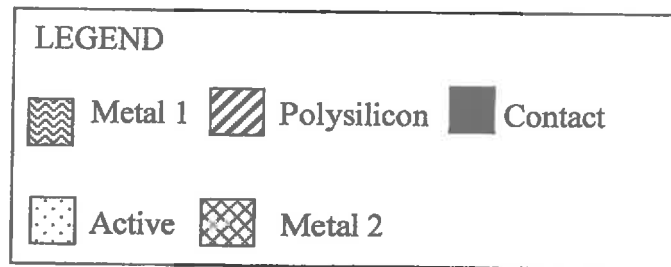
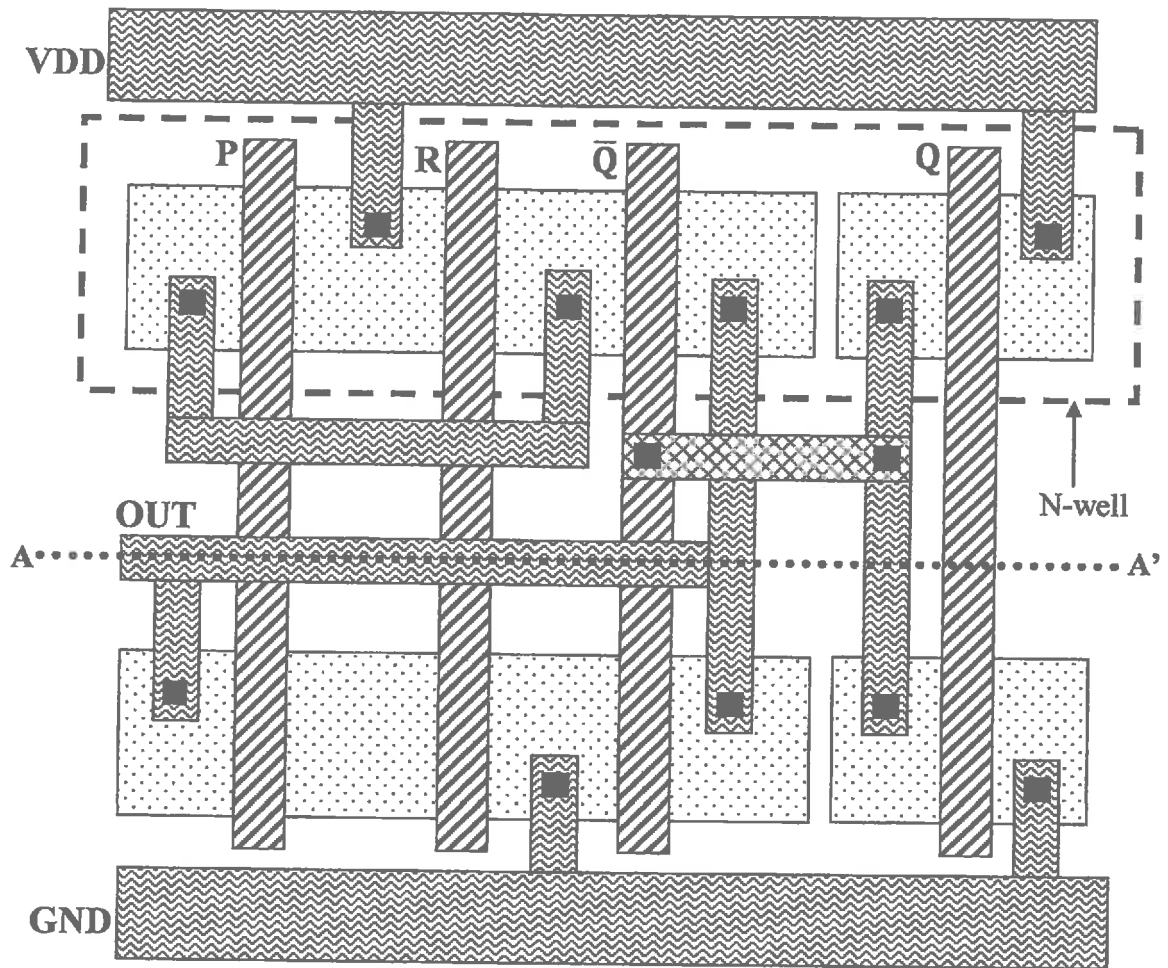


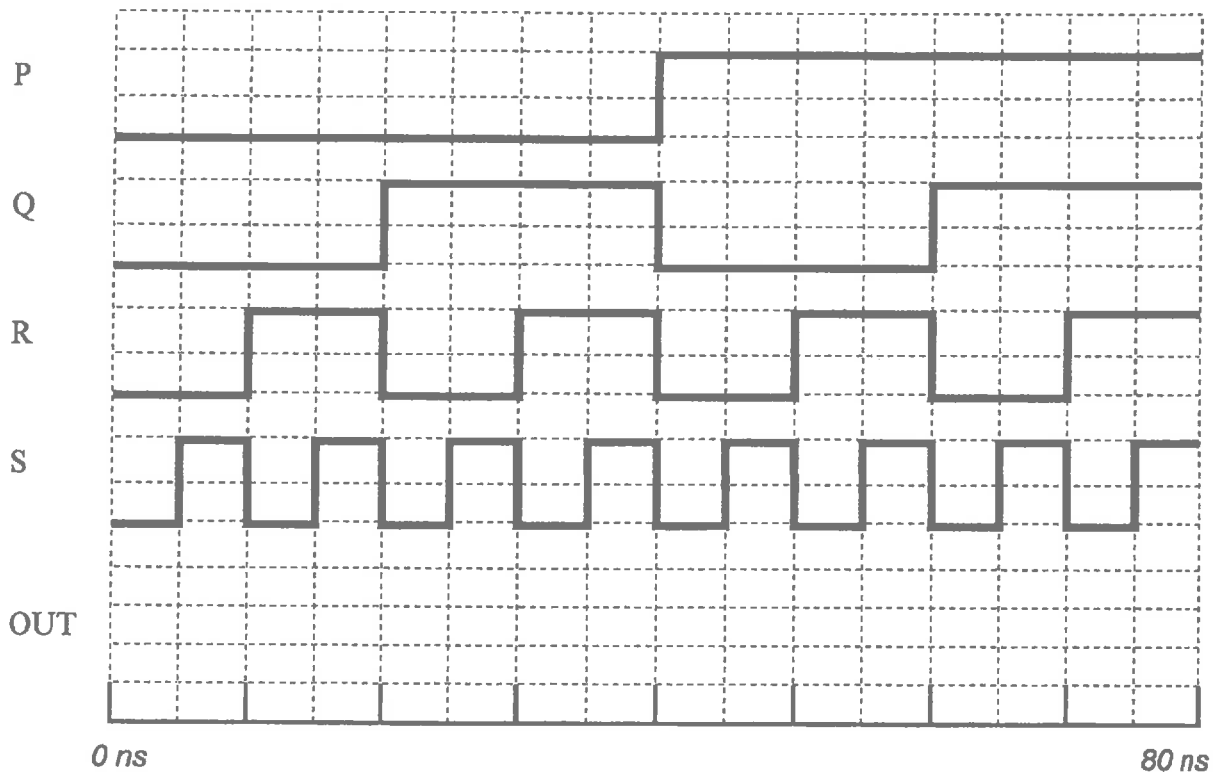
Figure 6  
[Rajah 6]

**Appendix I**  
*[Lampiran I]*

**Student ID** : \_\_\_\_\_

**Program** : \_\_\_\_\_

**Index Number:** \_\_\_\_\_



**Appendix II**  
*[Lampiran II]*

**OPERATION OF NMOS**

Region	$V_{GS}$	$V_{DS}$	$I_{DS}$
OFF	$\leq V_{TH}$	Any	0
LINEAR	$> V_{TH}$	$< V_{GS} - V_{TH}$	$I_{DS} = \beta \left[ V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right] V_{DS}$ where $\beta = \mu_n C_{ox} \frac{W}{L}$
SATURATION	$> V_{TH}$	$\geq V_{GS} - V_{TH}$	$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{TH})^2$ where $\beta = \mu_n C_{ox} \frac{W}{L}$