

SULIT

UNIVERSITI MALAYSIA PERLIS

Peperiksaan Akhir Semester Pertama
Sidang Akademik 2022/2023

Disember 2022

NDJ10303 – Digital System 1
[Sistem Digit 1]

Masa : 3 jam

Please make sure that this question paper has **TWELVE (12)** printed pages including this front page before you start the examination.

[Sila pastikan kertas soalan ini mengandungi DUA BELAS (12) muka surat yang bercetak termasuk muka hadapan sebelum anda memulakan peperiksaan ini.]

This paper is divided into **TWO (2)** parts:

[Kertas soalan ini dibahagi kepada DUA (2) bahagian.]

PART A: This part has **FOUR (4)** questions. Answer **ALL** questions.

[Bahagian A: Bahagian ini mempunyai EMPAT (4) soalan. Jawab SEMUA soalan.]

PART B: This part has **TWO (2)** questions. Answer **ONE (1)** question **ONLY**.

[Bahagian B: Bahagian ini mempunyai DUA (2) soalan. Jawab SATU (1) soalan SAHAJA.]

Each question contributes **TWENTY (20)** marks.

[Markah bagi tiap-tiap soalan adalah DUA PULUH (20) markah.]

Appendix is given.

[Lampiran diberi.]

PART A - Answer ALL questions*[Bahagian A - Jawab SEMUA soalan]***Question 1***[Soalan 1]*

- (a) List **TWO (2)** characteristics of Gray code.
[Senaraikan DUA (2) ciri-ciri kod Gray.]
(2 Marks/ Markah)
- (b) Express the word "**Digit 1**" into ASCII HEX code given in **Appendix I**.
[Ungkapkan perkataan "Digit 1" ke dalam kod ASCII HEX diberikan dalam Lampiran I.]
(2 Marks/ Markah)
- (c) Solve each of the following arithmetic operations in binary:
[Selesaikan setiap operasi aritmetik berikut dalam perduaan:]
- (i) $111_2 + 100001_2 + 11011_2$
(1 Mark/ Markah)
- (ii) $10010100_2 - 1010010_2$
(1 Mark/ Markah)
- (iii) $1100_2 \div 100_2$
(1 Mark/ Markah)
- (iv) $1110_2 \times 1101_2$
(1 Mark/ Markah)
- (d) Convert each of the following base numbers to 8 bits binary and **add** using **two's complement**.
[Tukarkan setiap nombor-nombor asas berikut kepada perduaan 8 bit dan tambah dengan menggunakan pelengkap dua.]
- (i) 70_8 and -27_{10}
[70_8 dan -27_{10}]
(4 Marks/ Markah)
- (ii) -46_{10} and -19_{16}
[-46_{10} dan -19_{16}]
(4 Marks/ Markah)

...3/-

(e) **Figure 1** below shows a combinational logic gate circuit. The input signals are A, B, C and D while W, X, Y and Z are outputs signal. Draw the output waveform in **Appendix II** given.

[Rajah 1 di bawah menunjukkan satu litar logik gabungan. Isyarat-isyarat masukan ialah A, B, C dan D manakala W, X, Y dan Z adalah isyarat-isyarat keluaran. Lukiskan gelombang keluaran di dalam Lampiran II yang diberi.]

(4 Marks/ Markah)

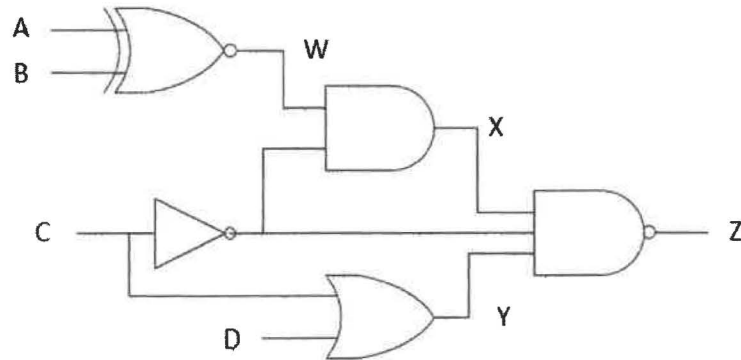


Figure 1
[Rajah 1]

Question 2*[Soalan 2]*

- (a) Prove the following rules of Boolean algebra:

[Buktikan peraturan-peraturan aljabar Boolean yang berikut:]

(i) $A + \bar{A}B = A + B$

(3 Marks/ Markah)

(ii) $(A + B)(A + C) = A + BC$

(3 Marks/ Markah)

- (b) With the aid of a diagram, briefly explain about the distributive law of Boolean algebra.

[Dengan bantuan gambarajah, terangkan secara ringkas hukum agihan bagi aljabar Boolean.]

(4 Marks/ Markah)

- (c) Sketch a digital waveform with 50Hz of frequency and 45% of duty cycle.

[Lakarkan satu gelombang digital dengan frekuensi 50Hz dan kitar tugas 45% .]

(4 Marks/ Markah)

- (d) Based on the Boolean expression below;

[Berdasarkan kepada ungkapan Boolean di bawah;]

$$\overline{(A + \bar{B}\bar{C} + CD)} + \bar{B}\bar{C}$$

- (i) Apply DeMorgan's theorems for the following expression.

[Gunakan teorem DeMorgan bagi ungkapan berikut.]

(3 Marks/ Markah)

- (ii) Sketch the logic diagram from the answer in (d)(i).

[Lakarkan gambar rajah logik daripada jawapan dalam (d)(i).]

(3 Marks/ Markah)

....5/-

Question 3*[Soalan 3]*

- (a) Briefly explain about XOR gate.

[Terangkan secara ringkas tentang get XOR.]

(2 Marks/ Markah)

- (b) Based on the given Boolean expressions;

[Berdasarkan kepada ungkapan-ungkapan Boolean yang diberi;]

$$Y = \bar{A}\bar{B} + \bar{A}\bar{B}\bar{C} + BCD + ABC\bar{D}$$

$$Z = A(A + \bar{B} + \bar{C})(B + C + \bar{D})(\bar{A} + B + \bar{C} + D)$$

- (i) List the minterms and maxterms of output Y and Z.

[Senaraikan sebutan minimum dan sebutan maksimum bagi keluaran Y dan Z.]

(6 Marks/ Markah)

- (ii) Express output Y and Z into a single truth table given in
- Appendix III**
- .

[Ungkapkan keluaran Y dan Z ke dalam jadual kebenaran tunggal yang diberikan dalam Lampiran III.]

(3 Marks/ Markah)

- (c) Construct a combinational circuit with three inputs X, Y and Z. There are three outputs A, B and C. If the binary input is 0,1,2 and 3, the binary output is one greater than the input. When the binary input is 4,5,6 and 7, the binary output is one smaller than the input.

[Bina litar gabungan dengan tiga masukan X, Y dan Z. Ada tiga keluaran A, B dan C. Jika masukan perduaan adalah 0,1,2 dan 3, keluaran perduaan adalah satu lebih besar daripada masukan. Apabila masukan perduaan adalah 4,5,6 dan 7, keluaran perduaan adalah satu lebih kecil daripada masukan.]

- (i) Construct the truth table for the combinational circuit.

[Bina jadual kebenaran bagi litar gabungan itu.]

(3 Marks/ Markah)

- (ii) Develop the simplified Boolean equation using Karnaugh map.

[Bangunkan persamaan Boolean termudah menggunakan peta Karnaugh.]

(6 Marks/ Markah)

....6/-

Question 4*[Soalan 4]*

In a company, there are **FOUR(4)** board members owning the shares with the portion of each board member as below:

[Dalam sebuah syarikat, terdapat EMPAT(4) ahli lembaga pemilik mengikut peratusan bahagian masing-masing seperti berikut :]

Member A = own 35%

[Ahli A = memegang 35% pemilikan]

Member B = own 25%

[Ahli B = memegang 25% pemilikan]

Member C = own 20%

[Ahli C = memegang 20% pemilikan]

Member D = own 20%

[Ahli D = memegang 20% pemilikan]

Each of the board members has the vote weightage equivalent to their share owning percentage. A total of votes summation more than 74% is needed among board members to approve any proposal made during the board meeting. If the percentage of vote is between 46% to 74%, the proposal will be in KIV (Keep-In-View) status. The proposal will be rejected if the percentage of votes is below 46%.

[Setiap ahli lembaga mempunyai berat undi yang sama dengan peratus pemilikan pegangan. Jumlah campuran undi melebihi 74% peratus diperlukan dari kalangan ahli lembaga untuk meluluskan apa-apa cadangan yang dibentangkan sewaktu mesyuarat ahli lembaga. Sekiranya peratus undi di antara 46% hingga 74%, cadangan yang dibentangkan itu akan dalam status KIV (Simpan-Untuk-Pemerhatian). Cadangan akan ditolak sekiranya peratus undian kurang dari 46%.]

You are required to design an electronic voting system for the company. This system must have four inputs for each member and three output which is depending on percentage of vote.

[Anda ditugaskan untuk membentuk sebuah sistem undi elektronik untuk syarikat ini. Sistem ini mestilah mempunyai empat masukan untuk setiap ahli lembaga dan tiga keluaran di mana bergantung kepada peratus undian.]

Based from the information given above, solve the following;

[Berdasarkan maklumat di atas, selesaikan yang berikut;]

- (a) Develop the truth table to create the electronic voting system.

[Bangunkan jadual kebenaran untuk pembentukan sistem undi elektronik.]

(6 Marks/ Markah)

- (b) Simplify the function using Karnaugh map method.

[Permudahkan fungsi dengan menggunakan kaedah peta Karnaugh.]

(5 Marks/ Markah)

- (c) Generate the simplified Boolean expressions to represent the electronic voting system logical statement from (b).

[Janakan ringkasan ungkapan-ungkapan Boolean sebagai mewakili sistem undi elektronik dari (b).]

(4 Marks/ Markah)

....7/-

- (d) Draw the digital logic circuit for this electronic voting system based on the Boolean expressions derived in (c).

[Lukis litar logik digit untuk sistem undi elektronik mengikut ungkapan-ungkapan Boolean yang telah diterbitkan dalam (c).]

(5 Marks/ Markah)

...8/-

SULIT

PART B – Answer ONE (1) question only

[Bahagian B - [Jawab SATU (1) soalan sahaja.]

Question 5

[Soalan 5]

- (a) Discuss the differences between demultiplexer dan decoder.

[Bincangkan perbezaan-perbezaan di antara penyahmultipleks dan penyahkod.]

(3 Marks/ Markah)

- (b) Based on **Figure 2**, name the type of combinational circuit. Develop the truth table and write the Boolean expression.

[Berdasarkan Rajah 2, namakan jenis litar kombinasi. Bangunkan jadual kebenaran dan tulis ungkapan Boolean.]

(5 Marks/ Markah)

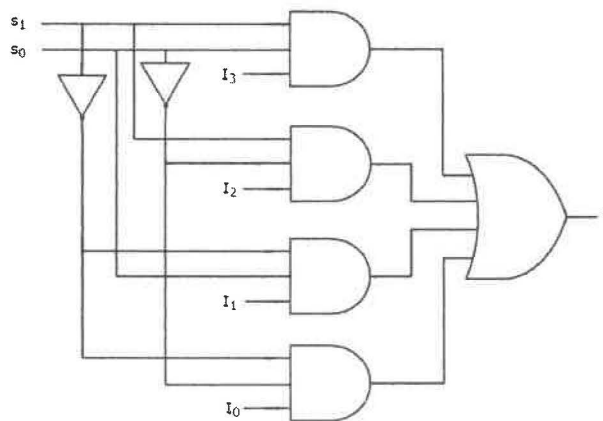


Figure 2
[Rajah 2]

- (c) Design an 8-to-1 multiplexer using a 2-to-1 multiplexer. Show the truth table and the designed circuit.

[Reka bentuk satu pemultipleks 8-kepada-1 dengan menggunakan pemultipleks 2-kepada-1. Tunjukkan jadual kebenaran dan litar yang direka.]

(6 Marks/ Markah)

- (d) By using the block diagram, show how to demultiplex 1-to-8 that have three selection lines using a combination of a few demultiplexers circuit. Show the truth table and the designed block diagrams.

[Dengan menggunakan gambarajah blok, tunjukkan bagaimana untuk penyahmultipleks 1-kepada-8 yang mempunyai tiga jalur memilih dengan menggunakan beberapa kombinasi litar penyahmultipleks. Tunjukkan jadual kebenaran dan gambarajah blok-blok yang direka.]

(6 Marks/ Markah)

....9/-

Question 6

[Soalan 6]

- (a) With the aid of a diagram, explain a full adder in a cascading two half adders in digital circuit.

[Dengan bantuan gambarajah, terangkan satu penambah penuh dalam litar dua penambah separuh yang berturutan dalam litar digital.]

(4 Marks/ Markah)

- (b) **Figure 3** shows a 4-bit parallel adder. Two 4-bit binary numbers (1101 and 1011) are applied to the adder. The input carry, C_{in} is 1. Determine the summed output (Σ) and the output carry, C_{out} .

[Rajah 3 menunjukkan penambah selari 4-bit. Dua nombor perdua-an 4-bit (1101 dan 1011) digunakan untuk penambah selari tersebut. Masukan yang dibawa, C_{in} adalah 1. Tentukan jumlah keluaran (Σ) dan keluaran yang dibawa, C_{out} .]

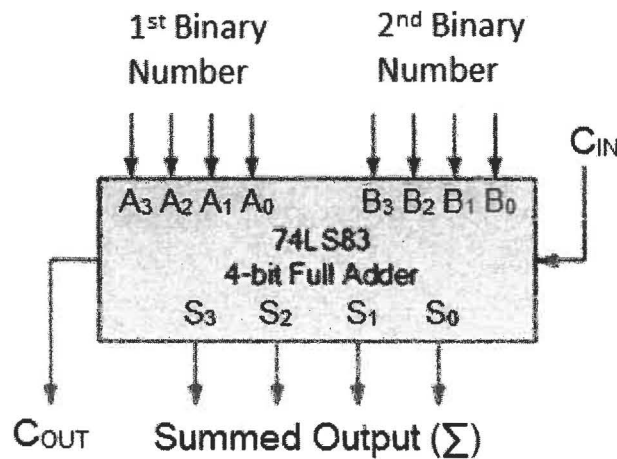


Figure 3
[Rajah 3]

(4 Marks/ Markah)

- (c) Construct a 3-to-8 decoder using 2-to-4 decoder. Show the logic circuit diagram, the block diagram, the truth table and the Boolean expressions for each output.

[Bina satu penyahkod 3-kepada-8 dengan menggunakan penyahkod 2-kepada-4. Tunjukkan gambarajah litar logik, gambarajah blok, jadual kebenaran dan ungkapan-ungkapan Boolean untuk setiap keluaran.]

(12 Marks/ Markah)

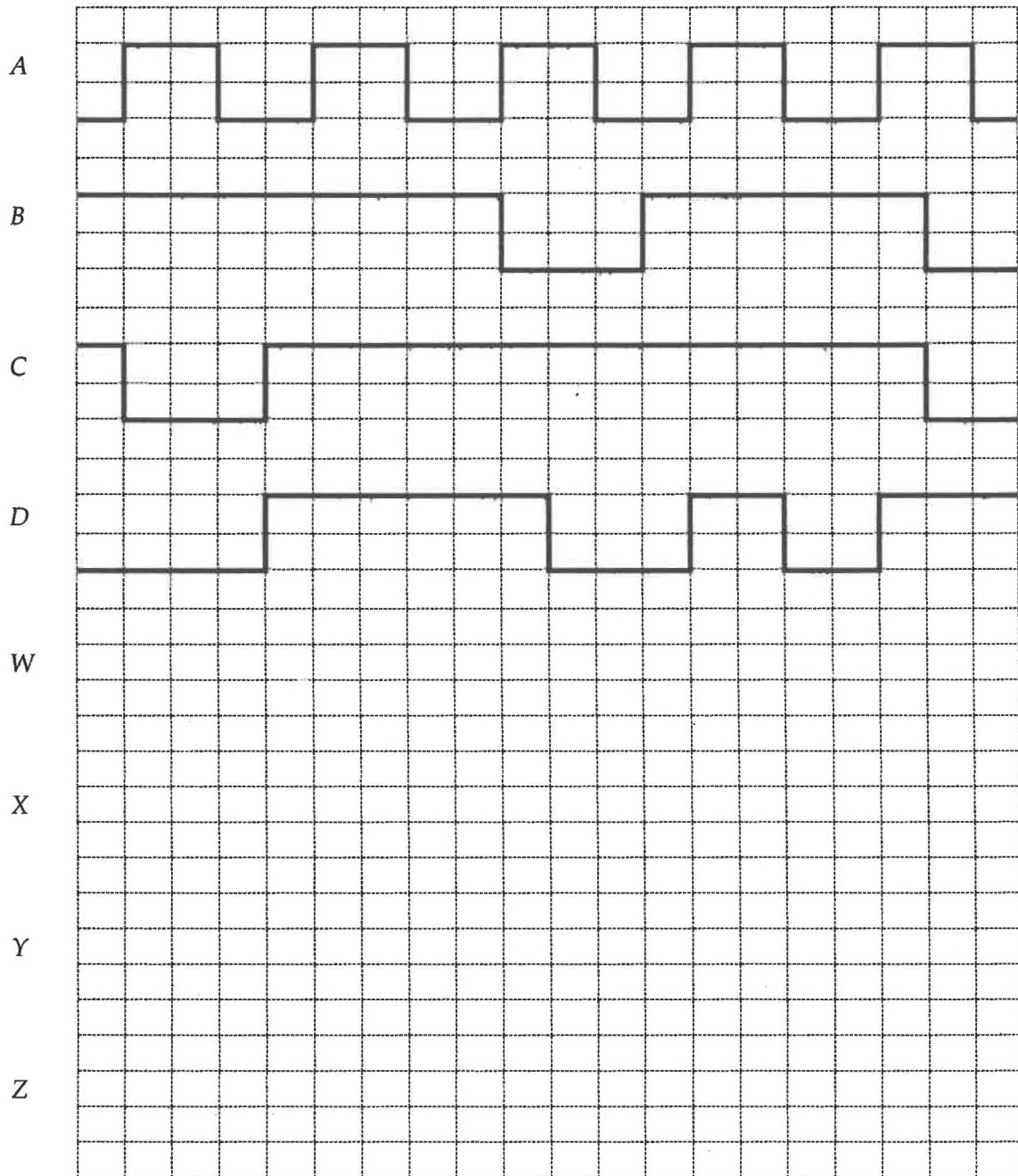
Appendix I
[Lampiran I]

American Standard Code for Information Interchange (ASCII).

Control Characters				Graphic Symbols											
Name	Dec	Binary	Hex	Symbol	Dec	Binary	Hex	Symbol	Dec	Binary	Hex	Symbol	Dec	Binary	Hex
NUL	0	0000000	00	space	32	0100000	20	@	64	1000000	40	9	96	1100000	60
SOH	1	0000001	01	!	33	0100001	21	A	65	1000001	41	a	97	1100001	61
STX	2	0000010	02	"	34	0100010	22	B	66	1000010	42	b	98	1100010	62
ETX	3	0000011	03	#	35	0100011	23	C	67	1000011	43	c	99	1100011	63
EOT	4	0000100	04	\$	36	0100100	24	D	68	1000100	44	d	100	1100100	64
ENQ	5	0000101	05	%	37	0100101	25	E	69	1000101	45	e	101	1100101	65
ACK	6	0000110	06	&	38	0100110	26	F	70	1000110	46	f	102	1100110	66
BEL	7	0000111	07	'	39	0100111	27	G	71	1000111	47	g	103	1100111	67
BS	8	0001000	08	(40	0101000	28	H	72	1001000	48	h	104	1101000	68
HT	9	0001001	09)	41	0101001	29	I	73	1001001	49	i	105	1101001	69
LF	10	0001010	0A	*	42	0101010	2A	J	74	1001010	4A	j	106	1101010	6A
VT	11	0001011	0B	1	43	0101011	2B	K	75	1001011	4B	k	107	1101011	6B
FF	12	0001100	0C	,	44	0101100	2C	L	76	1001100	4C	l	108	1101100	6C
CR	13	0001101	0D	2	45	0101101	2D	M	77	1001101	4D	m	109	1101101	6D
SO	14	0001110	0E	.	46	0101110	2E	N	78	1001110	4E	n	110	1101110	6E
SI	15	0001111	0F	/	47	0101111	2F	O	79	1001111	4F	o	111	1101111	6F
DLE	16	0010000	10	0	48	0110000	30	P	80	1010000	50	p	112	1110000	70
DC1	17	0010001	11	1	49	0110001	31	Q	81	1010001	51	q	113	1110001	71
DC2	18	0010010	12	2	50	0110010	32	R	82	1010010	52	r	114	1110010	72
DC3	19	0010011	13	3	51	0110011	33	S	83	1010011	53	s	115	1110011	73
DC4	20	0010100	14	4	52	0110100	34	T	84	1010100	54	t	116	1110100	74
NAK	21	0010101	15	5	53	0110101	35	U	85	1010101	55	u	117	1110101	75
SYN	22	0010110	16	6	54	0110110	36	V	86	1010110	56	v	118	1110110	76
ETB	23	0010111	17	7	55	0110111	37	W	87	1010111	57	w	119	1110111	77
CAN	24	0011000	18	8	56	0111000	38	X	88	1011000	58	x	120	1111000	78
EM	25	0011001	19	9	57	0111001	39	Y	89	1011001	59	y	121	1111001	79
SUB	26	0011010	1A	:	58	0111010	3A	Z	90	1011010	5A	z	122	1111010	7A
ESC	27	0011011	1B	;	59	0111011	3B	[91	1011011	5B	{	123	1111011	7B
FS	28	0011100	1C	<	60	0111100	3C	\	92	1011100	5C		124	1111100	7C
GS	29	0011101	1D	5	61	0111101	3D]	93	1011101	5D	}	125	1111101	7D
RS	30	0011110	1E	>	62	0111110	3E	^	94	1011110	5E	~	126	1111110	7E
US	31	0011111	1F	?	63	0111111	3F	_	95	1011111	5F	Del	127	1111111	7F

Appendix II
[Lampiran II]

Angka Giliran: _____ No. Meja: _____



Appendix III
[Lampiran III]

Angka Giliran: _____ No. Meja: _____

Input				Output	
A	B	C	D	Y	Z
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		